

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-229122

(43)Date of publication of application : 25.08.1998

(51)Int.Cl.

H01L 21/768

(21)Application number : 09-032487

(71)Applicant : SONY CORP

(22)Date of filing : 17.02.1997

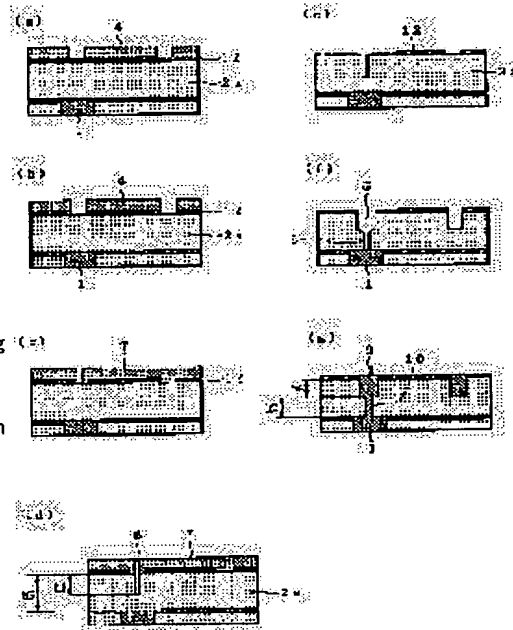
(72)Inventor : TATSUMI TETSUYA

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a method of manufacturing semiconductor device by which the forming accuracy and fillability of wiring grooves and connecting holes can be improved, in simultaneously forming the wiring grooves and connecting holes by filling up the grooves and holes.

**SOLUTION:** In a method of manufacturing semiconductor device, wiring grooves 5 for forming upper-layer wiring are formed, and at the same time, connecting holes 6 are formed in the grooves 5 so that the holes 6 may reach lower-layer wiring 1, such that an interlayer insulating film 2a and a mask layer 12 which becomes the etching mask of the wiring grooves 5 are successively formed on the lower-layer wiring 1, and a resist mask 7 which becomes the etching mask of the connecting holes 6 is formed. Then the connecting holes 6 are partially formed by half-etching the insulating film 2a by using the mask 7 as an etching mask and, after the mask 7 has been removed, the insulating film 2a is further etched by using the mask layer 12 as an etching mask. After the formation, the grooves 5 and holes 6 are filled up with a wiring forming material.



## LEGAL STATUS

[Date of request for examination]

12.12.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-229122

(43) 公開日 平成10年(1998) 8月25日

(51) Int.Cl.<sup>9</sup>

H 0 1 L 21/768

識別記号

F I

H 0 1 L 21/90

B

審査請求 未請求 請求項の数 7 O L (全 6 頁)

(21) 出願番号 特願平9-32487

(22) 出願日 平成9年(1997) 2月17日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番35号

(72) 発明者 辰巳 哲也

東京都品川区北品川 6 丁目 7 番35号 ソニ

ー株式会社内

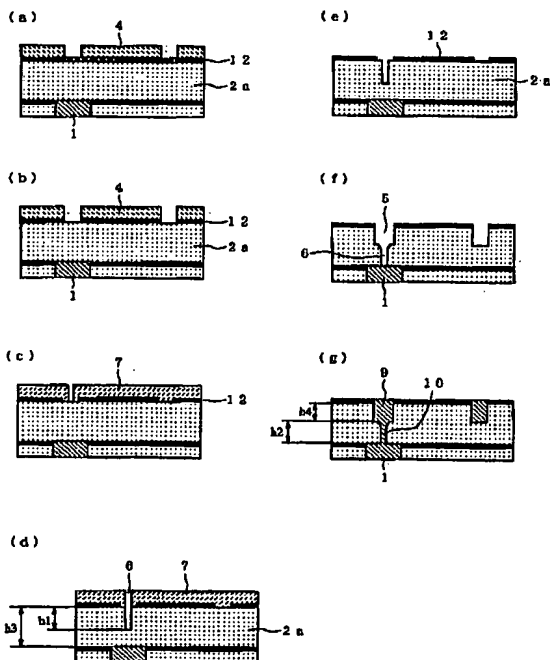
(74) 代理人 弁理士 田治米 登 (外 1 名)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 配線と接続孔とを配線溝と接続孔との埋め込みにより同時に形成する半導体装置の製造方法において、形成精度と埋め込み性を向上させる。

【解決手段】 半導体装置の多層配線構造を、下層配線 1 上に層間絶縁膜 2 a 及び上層配線形成用配線溝 5 のエッチングマスクとなるマスク層 1 2 を順次形成し、その上に、配線溝 5 内に開口する接続孔 6 のエッチングマスクとなるレジストマスク 7 を形成し、該レジストマスク 7 をエッチングマスクとして層間絶縁膜 2 a をハーフエッチングすることにより接続孔 6 を部分的に形成し、レジストマスク 7 を除去後、前記マスク層 1 2 をエッチングマスクとして層間絶縁膜 2 a をさらにエッチングすることにより、配線溝 5 を形成すると共に接続孔 6 を下層配線 1 に到達するように形成し、これら配線溝 5 及び接続孔 6 を配線形成材料で埋め込むことにより製造する。



## 【特許請求の範囲】

【請求項1】 下層配線に層間絶縁膜を形成し、該層間絶縁膜上に、上層配線形成用配線溝のエッチングマスクとなるマスク層を形成し、その上に、前記配線溝内に開口する接続孔のエッチングマスクとなるレジストマスクを形成し、該レジストマスクをエッチングマスクとして前記層間絶縁膜をハーフエッチングすることにより接続孔を部分的に形成し、レジストマスクを除去し、前記マスク層をエッチングマスクとして層間絶縁膜をさらにエッチングすることにより、配線溝を形成すると共に接続孔を下層配線に到達するように形成し、配線溝及び接続孔を上層配線形成材料で埋め込むことを特徴とする半導体装置の製造方法。

【請求項2】 マスク層がCMPのストッパー層からなる請求項1記載の製造方法。

【請求項3】 配線溝及び接続孔の埋め込み後、CMPにより表面を平坦化する請求項2記載の製造方法。

【請求項4】 層間絶縁膜がSiO<sub>2</sub>系材料からなる請求項1～3のいずれかに記載の製造方法。

【請求項5】 SiO<sub>2</sub>系材料がp-TEOS又はBP SGから選ばれる請求項4記載の製造方法。

【請求項6】 層間絶縁膜が誘電率4以下の低誘電率有機材料からなる請求項1～3のいずれかに記載の製造方法。

【請求項7】 低誘電率有機材料がフッ化ポリアリルエーテル又はポリテトラフルオロエチレンから選ばれる請求項6記載の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、下層配線層と上層配線層とが、接続孔の埋め込み技術により接続されている半導体装置の製造方法に関する。

【0002】

【従来の技術】VLSIの集積度の向上に伴い、微細加工技術に対する要求はますます厳しいものとなっている。特に、多層配線の採用が進み、5層ないし6層の配線構造がとられている近年のデバイスにおいては、デュアルダマシン(Dual Damascene)をはじめとする埋め込み配線技術の開発が急がれている。

【0003】このデュアルダマシン配線とは、配線を埋め込む配線溝と上下の配線層間を結ぶ接続孔とを形成後、これら双方を配線材料で埋め込み、CMP(Chemical Mechanical Polish)で配線溝に埋め込まれていない余分の配線材料を削り、配線及び接続孔内のブラグを同時に形成する技術である。このデュアルダマシン配線技術によると、配線とブラグとを一度に形成することができるので、大幅なプロセスコストの低減を図ることができる。

【0004】図2にデュアルダマシン配線による配線の形成方法を示す。

【0005】まず、下層配線1上に層間絶縁膜2a及びCMP用ストッパー層3aを順次を形成し、その上に上層配線形成用の配線溝5に対応したパターンにレジストマスク4を形成する(同図(a))。なお、下層配線1は、下層の層間絶縁膜2b内に形成されており、この層間絶縁膜2b上には、後述する上層配線の形成方法においてなされるCMPを下層配線1の形成に対して行うために形成されたCMP用ストッパー層3bが積層されている。

10 【0006】次に、レジストマスク4をエッチングマスクとして層間絶縁膜2aをエッチングし、配線溝5を形成する(同図(b))。

【0007】そして、配線溝5内に開口する接続孔6に対応したパターンにレジストマスク7を形成し(同図(c))、このレジストマスク7をエッチングマスクとして層間絶縁膜2aをエッチングし、接続孔6を下層配線1に達するように形成する(同図(d))。

20 【0008】こうして配線溝5及び接続孔6を形成後、これらを高圧リフロー法等により上層配線形成材料8で埋め込み(同図(e))、配線溝5より上の余分の配線材料8をCMPで削り、これにより下層配線1と上層配線9とが接続孔6の埋め込みによるブラグ10で接続されている配線構造を得る(同図(f))。

【0009】

【発明が解決しようとする課題】しかしながら、図2に示した従来の配線の形成方法によると、接続孔6を形成するためのレジストマスク7の形成に際し、レジストマスク7の形成面に配線溝5による大きな段差があるので、レジストマスク7の膜厚が不均一となり、良好に解像することができず、所期のマスクパターンを精度よく得ることができないという問題があった。

【0010】また、配線溝5及び接続孔6の埋め込み時のこの接続孔6のアスペクト比(高さ/径)が、接続孔6上に配線溝5が形成されている分だけ実質的に高くなるので、接続孔6を良好に埋め込むことができないという問題もあった。特に、接続孔6と配線溝5との境の角部11の段差により埋め込み性に問題が生じていた。

40 【0011】これらの問題は、上層配線9とブラグ10との2層分の段差を含む構造の加工に現有の技術が適用できないために生じるものである。

【0012】このうち、レジストマスク7の解像に対しては、層間絶縁膜2aを薄くし、配線溝5を浅くすることにより段差を低減させることが考えられるが、配線溝5を浅くすることは上層配線9の配線断面積を縮小し、それにより配線抵抗の増大を招くことになる。このため、配線溝5を浅くすることにより段差の問題を解消することはできない。

50 【0013】また、埋め込み性の問題に対しても配線溝5を浅くすることにより段差を小さくするか、あるいは、接続孔6の径を大きくすることが考えられ、段差

を小さくすることは、上述したように上層配線9の抵抗の増大を招くので採用することができず、また接続孔6の径を大きくすることもデザインルールの制約から現実的な対応策とはならない。

【0014】本発明は以上のような従来技術の問題点を解決しようとするものであり、配線と接続孔とを配線溝と接続孔との埋め込みにより同時に形成する半導体装置の製造方法において、配線溝を浅くすることなく、また、接続孔の径も大きくすることなく、形成精度と埋め込み性を向上させることを目的としている。

【0015】

【課題を解決するための手段】上記の目的を達成するため、本発明は、下層配線に層間絶縁膜を形成し、該層間絶縁膜上に、上層配線形成用配線溝のエッチングマスクとなるマスク層を形成し、その上に、前記配線溝内に開口する接続孔のエッチングマスクとなるレジストマスクを形成し、該レジストマスクをエッチングマスクとして前記層間絶縁膜をハーフエッチングすることにより接続孔を部分的に形成し、レジストマスクを除去し、前記マスク層をエッチングマスクとして層間絶縁膜をさらにエッチングすることにより、配線溝を形成すると共に接続孔を下層配線に到達するように形成し、配線溝及び接続孔を上層配線形成材料で埋め込むことを特徴とする半導体装置の製造方法を提供する。

【0016】本発明においては、層間絶縁膜上に、上層配線形成用配線溝のエッチングマスクとなるマスク層を形成し、これにより配線溝の形成位置を決定する。次に、接続孔を形成する際のエッチングマスクとなるレジストマスクを形成する。このレジストマスクの形成は、マスク層を用いて層間絶縁膜に配線溝をエッチングする前に行う。したがって、接続孔を形成するためのレジストマスクの形成時に、その形成面に存在する段差はマスク層の厚みによるものだけであり、従来例のように、配線溝の深さがレジストマスクの形成面に段差となってしまうことはない。したがって、レジストマスクの形成面の段差によって生じる解像不良を解消することができる。

【0017】また、本発明においては、接続孔を部分的に形成した後、配線溝のエッチングマスクとなるマスク層を用いて層間絶縁膜をエッチングすることにより配線溝と接続孔とを同時に形成し、これにより接続孔を下層配線に到達させる。このエッチングにおいて、接続孔の配線溝側の端部であって、従来角部11となっていた部分（図2（e）参照）はエッチングするイオンに晒され、テーパ状となり、接続孔の開口径が配線溝に向かって広がることとなる。したがって、この後に行う配線溝及び接続孔への配線材料の埋め込みにおいて、埋め込み性が大きく向上する。

【0018】

【発明の実施の形態】以下、本発明を図面に基づいて詳

細に説明する。なお、各図中、同一符号は同一又は同等の構成要素を表している。

【0019】図1は、本発明の一態様の製造方法の工程説明図である。

【0020】本発明においては、まず下層配線1上に層間絶縁膜2aを形成し、この層間絶縁膜2a上に、上層配線形成用配線溝5のエッチングマスクとなるマスク層12を形成する。

【0021】ここで、下層配線1、層間絶縁膜2a及び後述する上層配線9の形成材料には特に制限はなく、従来よりLSI等の高密度多層配線基板で使用されているものを使用することができる。また、これらの形成に際しては必要に応じて下地層を形成してもよい。例えば、下層配線1や上層配線9は、Al、Al-Cu、Al-Si、Al-Si-Cu、Al-Ge等のAl合金、Ag、Cu、Cu-Zr、Ti、TiN等の配線材料をスパッタ法等で成膜することにより形成することができる。この場合、配線層は複数種の配線層の積層構造としてもよい。

【0022】また、本発明において下層配線1には、通常の配線層だけでなく、基板のコンタクトパッドも含まれる。

【0023】層間絶縁膜2aとしては、例えば、p-TEOS（p-Tetraethyloxysilane）、BPSG（Borophosphosilicate glass）、PSG、BSG、AsSG、NSG等のSiO<sub>2</sub>系膜や、フッ化ポリアリルエーテル、ポリテトラフルオロエチレン、BCB（Benzocyclobutene）等の低誘電率有機材料等を形成することができる。特に、p-TEOS、BPSG等のSiO<sub>2</sub>系膜やフッ化ポリアリルエーテル、ポリテトラフルオロエチレン等の低誘電率有機材料が好ましい。

【0024】マスク層12は、層間絶縁膜2aとエッチング選択比がとれるものを使用して形成することができる。好ましくは、CMPのストッパー層の形成材料から形成し、より具体的には、SiN等から形成する。このようにCMPのストッパー層の形成材料からマスク層12を形成することにより、上層配線9を形成後、その上面をCMPにより平坦に研磨することができる。

【0025】マスク層12としてCMPのストッパー層を使用する場合、このマスク層12を上層配線形成用配線溝5のエッチングマスクとなるように所定のパターンに形成する方法は、公知のCMPのストッパー層のパターニングと同様に、図1（a）に示したように、層間絶縁膜2a上にベタにストッパー層（マスク層12）を形成し、その上に配線溝5に対応したパターンにレジストマスク4を形成し、このレジストマスク4をエッチングマスクとして、同図（b）に示したようにストッパー層（マスク層12）をエッチングすればよい。

【0026】その後、レジストマスク4を除去し、同図

(c)に示したように、配線溝5内に開口する接続孔6のエッチングマスクとなるように、レジストマスク7を形成する。このレジストマスク7の形成においては、その形成面に存在する段差は、マスク層12の厚みによるものだけである。したがって、この段差によりレジストマスク7に解像不良が生じ、接続孔6の形成精度が低下することはない。

【0027】次に、同図(d)に示したように、得られたレジストマスク7をエッチングマスクとして、層間絶縁膜2aをハーフエッチングすることにより接続孔6を部分的に形成する。このとき、層間絶縁膜2aのエッチング深さh1は、この接続孔6の埋め込みにより形成するプラグ10の高さh2よりも大きく、層間絶縁膜2aの厚さh3よりも薄くなるようにする。接続孔6のハーフエッチングの深さh1が足りないと、後述するように配線溝5をエッチングした後も接続孔6が下層配線1に到達しない。

【0028】なお、ハーフエッチングの深さh1が、この接続孔6の埋め込みにより形成するプラグ10の高さh2よりも大きいと所定の深さに配線溝5がエッチングされるまで接続孔6の底部において下層配線1がオーバーエッチングされることとなるが、下層配線1と層間絶縁膜2aとのエッチングの選択比を適宜設定することにより、接続孔6の底部におけるオーバーエッチングが問題になることは回避できる。

【0029】次に、同図(e)に示したように、レジストマスク7を除去し、前述のマスク層12(ストッパー層)をエッチングマスクとして層間絶縁膜2aをさらにエッチングし、同図(f)に示したように、配線溝5を形成すると共に、接続孔6を下層配線1に到達させる。こうして得られる配線溝5及び接続孔6は、図示したように、接続孔6の配線溝5側の端部であって、従来角部11となっていた部分(図2(e)参照)は、テーパ状となり、接続孔6の開口径が配線溝5に向かって広がっている。ここで、接続孔6の配線溝5側の端部をテーパ状とすることは、層間絶縁膜2aをエッチングするために行われる任意のエッチング方法あるいは任意のエッチング条件の下で得ることができるが、そのテーパの程度は、エッチング方法あるいはエッチング条件により変えることができる。

【0030】配線溝5及び接続孔6を形成した後は、高圧リフロー法、高温スパッタ法等によりこれらに配線材料を埋め込み、必要に応じて、例えばCMPにより配線溝5よりも上部の不要な配線材料を削り、基板面を平坦化させる。こうして、配線溝5内に上層配線9を形成すると共に接続孔6内にプラグ10を形成する。この埋め込みにおいて、接続孔6の配線溝5側の端部は上述のようにテーパ状になっている。したがって、配線溝5及び接続孔6への配線材料の埋め込み性は大きく向上したものとなる。

【0031】以上の配線溝5及び接続孔6の埋め込みにより上層配線9とプラグ10とを形成する工程においては、必要に応じて適宜プレヒート処理、酸化膜の除去処理等を行うことができる。

【0032】また、本発明の方法は、下層配線1と上層配線9とを接続後、上層配線層5とさらに上層の配線層と接続する場合にも適用することができる。

【0033】

【実施例】以下、本発明を実施例に基づいて具体的に説明する。

【0034】実施例1

図1に示した工程に従い、次のように半導体装置の多層配線構造を形成した。

【0035】(1) サンプル基板として、下層配線1上に層間絶縁膜2aとして低誘電体(有機ポリマー)及びマスク層12としてCMPのストッパーとなるSiN(層厚0.2 $\mu$ m)を積層し、さらに、配線溝5に対応したパターンにレジストマスク4を積層したものを作製した。

【0036】ここで、層間絶縁膜2aとマスク層12との厚さは、合計で1.5 $\mu$ mであり、この厚さは、本実施例で形成する上層配線9の深さh4(0.5 $\mu$ m)とプラグ10の高さh2(1.0 $\mu$ m)とを合わせた値とした。

【0037】(2) 以下の条件でマグネトロンタイプのエッチング装置を使用し、上述のサンプル基板のマスク層12(SiN層)をエッチングし、配線溝5に対応するパターンを開口した(図1(b))。

エッチング条件

RF 1000W

圧力 3Pa

基板温度 20 $^{\circ}$ C

エッチングガス  $\text{CHF}_3/\text{CO}/\text{Ar}=30/100/100\text{ sccm}$

【0038】(3) 配線溝5に対応したパターンのレジストマスク4を剥離し、新たに接続孔6に対応するパターンにレジストマスク7を形成した。

【0039】(4) 以下の条件でECRタイプのエッチング装置を使用し、レジストマスク7をエッチングマスクとして層間絶縁膜2aをハーフエッチングすることにより接続孔6を部分的に形成した(エッチング深さh1=1.2 $\mu$ m)(図1(d))。

エッチング条件

マイクロ波 800W

圧力 0.5Pa

基板温度 -50 $^{\circ}$ C

エッチングガス  $\text{C}_4\text{F}_8/\text{O}_2/\text{Ar}=2/50/100\text{ sccm}$

【0040】(5) レジストマスク7を剥離した。そして、上記(4)と同様のエッチング条件で、マスク層

12 (SiN層) をエッチングマスクとして層間絶縁膜2aをさらにエッチングし、配線溝5を形成すると共に、接続孔6を下層配線1に到達させた(図1

(f))。こうして得られた接続孔6は、その配線溝5側の端部がテーパー状となり、接続孔6の開口径が配線溝5に向かって広がっていた。

【0041】(6) 配線溝5及び接続孔6に、配線材料としてAl-Cuを埋め込み、さらにその上部をCMPにより削り、所期の多層配線構造を得た。

#### 【0042】実施例2

層間絶縁膜2aとして、p-TEOSを使用した以外は、実施例1と同様に図1に示した行程に従い、次のように半導体装置の多層配線構造を形成した。

【0043】(1) 層間絶縁膜2aとしてp-TEOSを使用する以外は実施例1と同様にサンプル基板を作製した。

【0044】(2) 実施例1(2)と同様の条件でマグネトロンタイプのエッチング装置を使用し、サンプル基板のマスク層12 (SiN層) をエッチングし、配線溝5に対応するパターンを開口した(図1(b))。

【0045】(3) 配線溝5に対応したパターンのレジストマスク4を剥離し、新たに接続孔6に対応するパターンにレジストマスク7を形成した。

【0046】(4) 以下の条件でマグネトロンタイプのエッチング装置を使用し、レジストマスク7をエッチングマスクとして層間絶縁膜2aをハーフエッチングすることにより接続孔6を部分的に形成した(エッチング深さ $h_1=1.2\mu\text{m}$ )(図1(e))。

#### エッチング条件

RF 1000W

圧力 3Pa

基板温度 20°C

エッチングガス  $\text{C}_4\text{F}_8/\text{CO}/\text{Ar}/\text{O}_2=10/200/100/5\text{ sccm}$

【0047】(5) レジストマスク7を剥離した。そして、上記(4)と同様のマグネトロンタイプのエッチング装置を使用し、次のエッチング条件により、マスク層12 (SiN層) をエッチングマスクとしてp-TEOSからなる層間絶縁膜2aをさらにエッチングし、配線溝5を形成すると共に、接続孔6を下層配線1に到達させた(図1(f))。

#### エッチング条件

RF 1000W

10 圧力 3Pa

基板温度 20°C

エッチングガス  $\text{C}_4\text{F}_8/\text{CO}/\text{Ar}/\text{O}_2=10/200/100/20\text{ sccm}$

【0048】こうして得られた接続孔6は、その配線溝5側の端部がテーパー状となり、接続孔6の開口径が配線溝5に向かって広がっていた。

【0049】(6) 配線溝5及び接続孔6に、配線材料としてAl-Cuを埋め込み、さらにその上部をCMPにより削り、所期の多層配線構造を得た。

20 【0050】

【発明の効果】本発明によれば、配線と接続孔とを配線溝と接続孔との埋め込みにより同時に形成する半導体装置の製造方法において、配線溝を浅くすることなく、また、接続孔の径も大きくすることなく、形成精度と埋め込み性を向上させることが可能となる。

#### 【図面の簡単な説明】

【図1】本発明の工程説明図である。

【図2】従来例の工程説明図である。

#### 【符号の説明】

30 1…下層配線、2a…層間絶縁膜、3a…CMPのストッパー層、4…レジストマスク、5…配線溝、6…接続孔、7…レジストマスク、8…上層配線形成材料、9…上層配線、10…プラグ、11…角部、12…マスク層(CMPのストッパー層)

【圖 2】

